

**PAT-NO:** JP401185952A  
**DOCUMENT-IDENTIFIER:** JP 01185952 A  
**TITLE:** FLIP-CHIP TYPE SEMICONDUCTOR  
DEVICE  
**PUBN-DATE:** July 25, 1989

**INVENTOR-INFORMATION:**

NAME	COUNTRY
TSUBONE, HITOSHI	

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
OKI ELECTRIC IND CO LTD	N/A

**APPL-NO:** JP63009513  
**APPL-DATE:** January 21, 1988

**INT-CL (IPC):** H01L021/92 , H01L021/60

**US-CL-CURRENT:** 257/778

**ABSTRACT:**

PURPOSE: To prevent a chip from becoming electrically defective when a flaw is produced by a filler on the surface of the chip by a method wherein a gap between a solder bump electrode and a dummy electrode is set at a definite distance so as to limit the size of the filler.

CONSTITUTION: A bump electrode 2a formed on a

chip 1 and a dummy bump electrode 2b are provided; a distance 3 between the bump electrode 2a and the dummy bump electrode 2b is set to the size of 60% or less of the diameter of the bump electrode 2a. Accordingly, even when a semiconductor device is mounted on a substrate and is then coated with an epoxy-based molding material, a filler whose size exceeds 60% of the diameter of the dummy electrode 2b out of fillers contained in the molding material does not creep to the lower part of the semiconductor device. By this setup, it is possible to eliminate a wrong state that the filler produces a flaw on the surface of the semiconductor chip and that the semiconductor chip becomes electrically defective.

COPYRIGHT: (C)1989, JPO&Japio

⑬ 公開特許公報 (A)

平1-185952

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)7月25日

H 01 L 21/92  
21/60

C-6708-5F  
Q-6918-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑬ 発明の名称 フリップチップ型半導体装置

⑬ 特 願 昭63-9513

⑬ 出 願 昭63(1988)1月21日

⑬ 発 明 者 坪 根 衡 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑬ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑬ 代 理 人 弁理士 鈴木 敏明

明 細 書

1. 発明の名称

フリップチップ型半導体装置

2. 特許請求の範囲

チップ上に形成されたポンプ電極と、ダミーポンプ電極を有し、前記ポンプ電極と前記ダミーポンプ電極間の距離をポンプ電極の直径の60%以下の寸法としたことを特徴とするフリップチップ型半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はフリップチップ型半導体装置に関するものである。

(従来の技術)

従来より、実装密度を向上するためにポンプ電極を備える半導体チップ(フリップチップ)が用いられている。ポンプ電極の形成方法としては、例えば電気メッキ法、選択蒸着法、ハンダボール法、ハンダディップ法等の種々の方法が提案されている。ポンプ電極は、一般的に、電気メッキ法

によりハンダを用いて形成されることが多い。

第2図は従来のポンプ電極の接続構造を概略的に示すフリップチップの要部断面図であり、半導体チップ上にポンプ電極が設けられている状態を示す。同図に於て半導体チップ10は半導体基板、例えばP型Si基板よりなる。

図示例では、第一層16として絶縁膜、配線電極18としてAl電極及び第二層20としてCVD(Chemical Vapor Deposition)法によって形成されたガラス膜(パッシベーション保護膜)が半導体チップ上に順次に設けられる。

図示例のポンプ電極22はバリア層24及びパッド26から成る。図示例において、バリア層24は第二層20上に順次に設けられたAl-Ni合金層28、Ni層30及びCu層32から成り、さらにバリア層24のCu層32上にパッド26としてハンダ層が設けられている。Al-Ni合金層28及びNi層30は例えば蒸着によって、Cu層32及びパッド26は例えば電気メッキ法によって形成されている。パッド26は、例えばCu層

3 2 上に形成されたハンダメッキ層を高温処理し、表面張力を利用することによって、球状に形成される。電気メッキ法によるハンダパンク電極の形成方法は周知(例えば特開昭62-160744を参照)であるので、詳細な説明を省略する。

第3図はフリップチップの構成を概略的に示す側面図である。フリップチップ型半導体装置は半導体チップ10にパンク電極22を設けて成る。図示例では、図面の簡単化のためにパンク電極22を2個しか設けていないが、一般に、3~10個、多いときには100個近くのパンク電極22が設けられる。

第4図はフリップチップの実装状態を概略的に示す側面図である。同図において、被実装基板(配線基板)40は表面に所定の電気回路パターンを備えるものであり、被実装基板40の基板材料として例えばセラミック基板が用いられる。図にも示すように、フリップチップ38は被実装基板40に直接実装される。

パンク電極が、ハンダから成るパッドを有する

材が含まれる。このフィラーの形状は一般には球状で、直径が30 $\mu$ m~100 $\mu$ mのものを用いられている。

課題  
(発明が解決しようとする課題)

しかしながら、上記構成のハンダパンクによる、基板と半導体チップの接続方法に於ては、第5図に示すごとく、球状フィラー44がモールド材42の充填時に半導体チップ38とセラミック基板40の間に入り込みモールドを固めるとき、キュア温度150℃で膨張したハンダ電極22が、キュア温度150℃から室温へ冷却される過程で収縮するが、このとき半導体チップ38と基板40は図中矢印で示す方向に力をうけ縮まり、その間に入り込んだフィラー44が半導体チップ38の表面にキズをつけてしまい半導体チップ38の電気的不良を発生させるという不具合があった。通常接続に必要なハンダ電極の高さは70~100 $\mu$ mとされ、パンク電極の収縮によりデパイスに影響を及ぼす球状のフィラーがチップと基板の間に入り込むには十分な高さとなっている。

フリップチップの実装方法としては例えばリフロー方式のものがある。この方式では、フリップチップ38をフェイスダウンにして被実装基板40上の所定位置に配置し、その後これらフリップチップ38及び被実装基板40をリフロー炉内に入れた200~220℃に加熱する。その結果、パンク電極22のハンダから成るパッド26(第5図参照)が溶融される。その後フリップチップ38及び被実装基板40はリフロー炉から取出され常温まで冷却される。従ってパッド26も冷却され、よってフリップチップ38がパッド26を介して被実装基板40の電気回路パターンと接続される。

さらにこの基板には、チップの信頼性を向上させる目的で第5図に示すように、エポキシ系のモールド材42をチップ表面を外側から保護できるようコーティングする。通常このモールド材充填は150℃~200℃の基板加熱下に行なわれる又、このモールド材中には通常、モールド材の強度を向上させる目的で、10%~30%(重量比)のフィラーと呼ばれるSiO<sub>2</sub>の粉などの充填

課題  
(問題点を解決するための手段)

上記問題点を解決するため、本発明のフリップチップ型半導体装置は、チップ上に形成されたパンク電極と、ダミーパンク電極を有し、前記パンク電極と前記ダミーパンク電極間の距離をパンク電極の直径の60%以下の寸法とする。

(作用)

本発明のフリップチップ型半導体装置は上記のように構成としたので、実装基板に前述した半導体装置を実装し、その後エポキシ系モールド材をコーティングしても、このモールド材に含有するフィラーのうち、ダミー電極の直径の60%を超える大きさのフィラーが半導体装置下部へ入り込むのを防止することができる。

(実施例)

第1図はこの発明の実施例を示す図であり、Aは断面図、Bは上面図である。この図に於て、1は半導体チップ、2はハンダパンク電極である。このハンダパンク電極の大きさは70 $\mu$ mとすると、通常ハンダパンク電極は半導体チップ1とセラミ

ック基板との信号のやりとりを行なう必要がある数のみのハンダポンプ電極2aを形成するが、本発明に於てはチップ上ハンダポンプ電極2どうしのすきま図中3が球状フィラーを通過させない距離40 $\mu$ m以下となるよう、ダミーのハンダポンプ電極2bを適当な数だけ追加し、チップ上少なくともチップの周辺全てに配置する。このポンプ間の距離は、ポンプ電極の直径の60%としたものである。

次に上述したダミーポンプ電極2bの形成方法について述べる。このダミーポンプ電極2bは、通常のポンプ電極と同様にバリア層を下層に設け形成してもよいし、単に金属層を下層に形成した後パッドを形成してもよい。ただし、通常のポンプ電極は基板との信号のやりとりを行うため、基板と接続されているが、ダミーポンプ電極は、ノイズ侵入の防止等のため基板とは絶縁されている。又、チップが実装される実装基板におけるダミーポンプ電極に対応する位置には金属パッドが設けられており、基板実装時において、この金属パ

ッドとダミーポンプ電極が良好に融着される様になっている。この金属パッドもダミーポンプ電極との融着のためのみに用いられているものであり、他とは絶縁されている。

第7図はハンダポンプ電極の大きさが70 $\mu$ mの場合においてポンプ間ギャップを10 $\mu$ m~100 $\mu$ mの間で水準をとり、半導体チップをセラミック基板に実装しSiO<sub>2</sub>系の球状フィラーの大きさの平均値が50 $\mu$ mでばらつき30~70 $\mu$ mをもつモールド材に対する重量比30%の比率をもつモールド材を150℃で充填し、その後、-30℃~-150℃の温度サイクル試験を1000くり返したときの半導体チップにつけられたキズによりチップが電気的に不良となった割合を示すグラフである。

第7図よりハンダポンプ間ギャップはハンダポンプの大きさが70 $\mu$ mの約60%、つまり40 $\mu$ m以下であればフィラーがチップの表面をキズつけることによる不良率は減少することが分かる。このことはハンダポンプにより接続後ポンプ電極は収縮し、チップと基板を接続する訳であるが、こ

の収縮の割合は多くとも60%程度と推定されとの縮んだギャップより小さい球状フィラーはチップと基板のすきまに入り込んでもチップの表面にキズをつけるトラブルを発生させるには至らないものと考えられる。

ハンダポンプ電極の大きさが70 $\mu$ mより大きい場合あるいは小さい場合であってもこのハンダポンプ電極間距離3はハンダポンプ電極の大きさの少なくとも60%以下であれば同様の効果が期待できる。

(発明の効果)

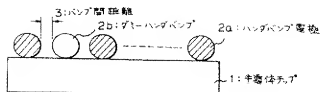
以上説明したように本発明によれば半導体チップの周辺全てに信号と出し用のハンダポンプ電極と、ダミーの電極間のすきまがハンダポンプ電極の大きさの60%程度となる距離に配置したことにより、チップと基板の接続後のモールド充填時の加熱下でチップと基板のすきまに入り込む球状フィラーの大きさがハンダポンプ電極の大きさの60%以下のものに限定されるため、加熱後に強固に冷却されるとき、チップと基板とのすき間

に存在する球状フィラーにてチップ表面にキズをつけられチップが電気的に不良となる様なトラブルは発生しない。

#### 4. 図面の簡単な説明

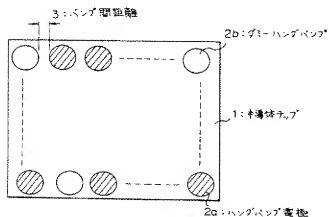
第1図は本発明による半導体装置の断面図及び平面図である。第2図は従来のポンプ電極の構造を示す断面図である。第3図は従来のフリップチップの側面図である。第4図は従来のフリップチップを基板に実装した状態を示す側面図である。第5図は従来のフリップチップを基板に実装し、さらにエポキシ樹脂をコートした状態を示す側面図である。第6図はエポキシ樹脂を冷却している状態を示すものであって、第5図の部分拡大図である。第7図はポンプ電極間距離と不良率を示すグラフである。

1…半導体チップ、2a…ハンダポンプ電極、2b…ダミーハンダポンプ電極、3…ポンプ間距離。



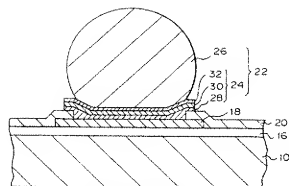
実施例の説明に供する断面図

第1図A



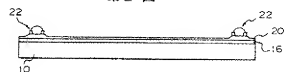
実施例の説明に供する上面図

第1図B



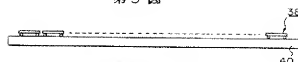
ポンプ電極の構造

第2図



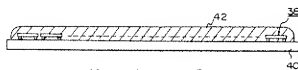
フリップチップの側面図

第3図



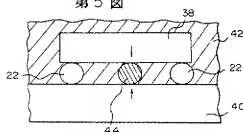
実装状態を示す側面図

第4図



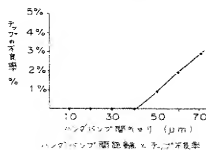
エボキシコート後の側面図

第5図



球形フィラークリップ下部入り込み状態

第6図



ポンプ駆動電極の長さ×チップ面積

第7図